

## (12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro

PCT

(43) Internationales Veröffentlichungsdatum  
29. Januar 2004 (29.01.2004)(10) Internationale Veröffentlichungsnummer  
**WO 2004/010501 A1**(51) Internationale Patentklassifikation<sup>7</sup>: **H01L 23/66**

[AT/AT]; Hacklweg 9, A-4081 Hartkirchen (AT). KNAPP, Herbert [AT/DE]; Keuslinstr. 10, 80798 München (DE).

(21) Internationales Aktenzeichen: **PCT/DE2003/002349**

(74) Anwalt: KÜHN, Armin; Viering, Jentschura &amp; Partner, Steinsdorfstr. 6, 80538 München (DE).

(22) Internationales Anmeldedatum:

11. Juli 2003 (11.07.2003)

(81) Bestimmungsstaaten (*national*): JP, KR, US.

(25) Einreichungssprache:

Deutsch

(84) Bestimmungsstaaten (*regional*): europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

(30) Angaben zur Priorität:

102 31 638.4 12. Juli 2002 (12.07.2002) DE

## Veröffentlicht:

- mit internationalem Recherchenbericht
- vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

(71) Anmelder (*für alle Bestimmungsstaaten mit Ausnahme von US*): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Str. 53, 81669 München (DE).

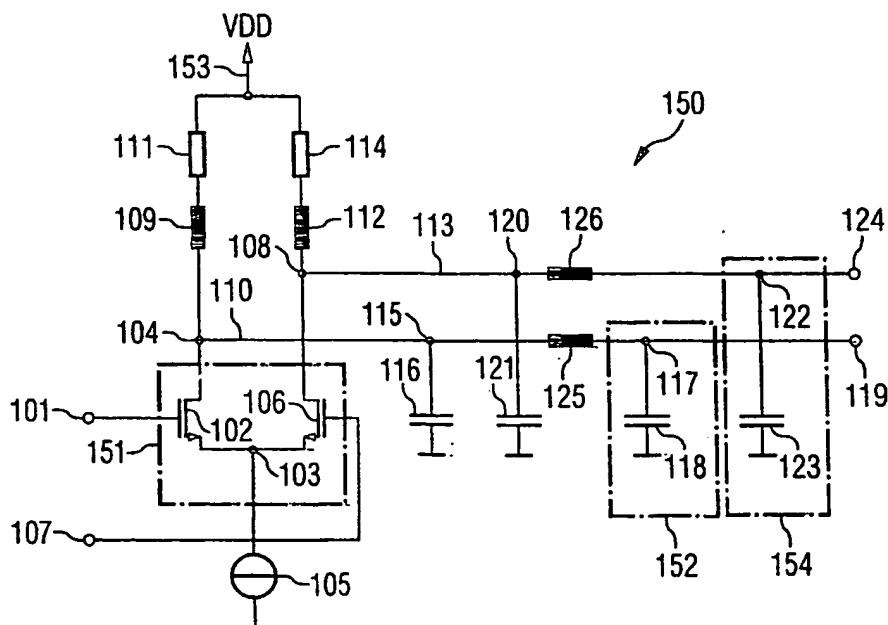
Zur Erklärung der Zwei-Buchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(72) Erfinder; und

(75) Erfinder/Anmelder (*nur für US*): KEHRER, Daniel

(54) Title: INTEGRATED CIRCUIT ARRANGEMENT

(54) Bezeichnung: INTEGRIERTE SCHALTUNGSAORDNUNG



WO 2004/010501 A1

(57) Abstract: The invention relates to an integrated circuit arrangement (150) comprising a monolithic serial inductance (125, 126). The integrated circuit arrangement (150) has an output circuit comprising at least one first output terminal (104, 108), at which a data signal can be provided and at least one first data output terminal (152, 154). At least one first serial inductance (125, 126) is connected between the output terminal(s) (104, 108) and the data output terminal(s) (152, 154).